

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 37 174.1

Anmeldetag: 14. August 2002

Anmelder/Inhaber: ROBERT BOSCH GMBH, Stuttgart/DE

Bezeichnung: Verfahren und Vorrichtung zur seriellen Übertragung von Daten von einem Prozessorbaustein an mindestens ein Peripherieelement

IPC: G 06 F 13/00

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 07. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident

Im Auftrag

fleut raus

EV331379096

5 13.08.2002

Robert Bosch GmbH, 70442 Stuttgart

10 Verfahren und Vorrichtung zur seriellen Übertragung von Daten von einem Prozessorbaustein an mindestens ein Peripherieelement

15 Die vorliegende Erfindung betrifft ein Verfahren zur seriellen Übertragung von Daten zwischen einem Prozessorbaustein, insbesondere eines Steuergeräts eines Kraftfahrzeugs, und mindestens einem Peripherieelement. Die Datenübertragung erfolgt mittels eines Zeittaktsignals, 20 eines Datensignals und eines Auswahlsignals.

25 Des weiteren betrifft die Erfindung auch eine Vorrichtung für einen Prozessorbaustein, insbesondere eines Steuergeräts eines Kraftfahrzeugs, zur seriellen Übertragung von Daten zwischen dem Prozessorbaustein und mindestens einem Peripherieelement. Die Datenübertragung erfolgt mittels eines Zeittaktsignals, eines Datensignals und eines Auswahlsignals.

30 Schließlich betrifft die vorliegende Erfindung auch einen Prozessorbaustein, insbesondere eines Steuergerät eines Kraftfahrzeugs, mit einer Vorrichtung zur seriellen Übertragung von Daten zwischen dem Prozessorbaustein und mindestens einem Peripherieelement. Die Datenübertragung 35 erfolgt mittels eines Zeittaktsignals, eines Datensignals

und eines Auswahlsignals.

Stand der Technik

5

Aus dem Stand der Technik sind verschiedene Verfahren und Vorrichtungen zur schnellen seriellen Übertragung von Daten zwischen einem Prozessorbaustein und Peripherieelementen in einem elektronischen System bekannt. Das elektronische

10 System ist beispielsweise als ein Motorsteuergerät, als ein Getriebesteuergerät oder als ein Bremssteuergerät für ein Kraftfahrzeug ausgebildet. Die Datenübertragung zwischen Prozessorbaustein und Peripherieelementen dient insbesondere der Ansteuerung der Peripherieelement durch

15 den Prozessorbaustein.

Ein Prozessorbaustein umfasst typischerweise ein Rechengerät, das insbesondere als ein Mikroprozessor ausgebildet ist. Die Peripherieelemente sind beispielsweise 20 als eine Überwachungsschaltung, insbesondere als ein Watchdog, als ein serielles EEPROM (Electronically Erasable and Programmable Read Only Memory), als eine Stabilisierungsschaltung oder als ein Endstufenschaltkreis, beispielsweise zur Einspritzung von Kraftstoff bei einer 25 Brennkraftmaschine, ausgebildet. Des weiteren umfasst der Prozessorbaustein eine Vorrichtung zur Realisierung der seriellen Datenübertragung zwischen dem Prozessorbaustein und den Peripherieelementen. Die Vorrichtung ist beispielsweise als eine serielle Schnittstelle, 30 insbesondere als eine SPI (Serial Peripheral Interface)-Bus-Schnittstelle ausgebildet.

Zur Datenübertragung zwischen Prozessorbaustein und Peripherieelementen sind bei den bekannten Verfahren und 35 Vorrichtungen vier Leitungen vorgesehen, nämlich

- eine Zeittaktleitung zur Taktübertragung,
- eine Datenleitung von dem Prozessorbaustein zu den Peripherieelementen,
- eine Datenleitung von den Peripherieelementen zu dem Prozessorbaustein, und
- eine Auswahlleitung an jedes einzelne Peripherieelement zur Steuerung und Adressierung des Peripherieelements.

10 Die Zeittaktleitung wird auch als Clock-Leitung und die Auswahlleitung auch als Chip-Select-Leitung bezeichnet. Ein derartige Verfahren und eine derartige Vorrichtung, sowie ein derartiger Prozessorbaustein ist bspw. aus der DE 100 36 637 A12 bekannt.

15 Aus dem Stand der Technik ist es des weiteren bekannt, zur Reduzierung der Abstrahlung und zur Verbesserung der elektromagnetischen Verträglichkeit (EMV) bei höheren Datenraten das Zeittaktsignal und das Datensignal als 20 Differenz-Signale über jeweils zwei Leitungen zu übertragen. Dazu sind jeweils zwei Zeittaktleitungen und zwei Datenleitungen an die Peripherieelemente geführt. Die Auswahlleitungen sind nach wie vor vorgesehen.

25 Das bedeutet, dass allein für die Übertragung schneller Daten von dem Prozessorbaustein zu einem oder mehreren Peripherieelementen mindestens fünf Leitungen benötigt werden.

30 Der vorliegenden Erfindung liegt deshalb die Aufgabe zu Grunde, bei einer seriellen Datenübertragung zwischen einem Prozessorbaustein und mindestens einem Peripherieelement mit hoher Datenrate die Anzahl der notwendigen Leitungen zu reduzieren.

Zur Lösung dieser Aufgabe schlägt die vorliegende Erfindung ausgehend von dem Verfahren der eingangs genannten Art vor, dass das Zeittaktsignal über zwei Zeittaktleitungen zwischen dem Prozessorbaustein und dem mindestens einen 5 Peripherieelement, das Datensignal über zwei Datenleitungen zwischen dem Prozessorbaustein und dem mindestens einen Peripherieelement und das Auswahlsignal auf den Datenleitungen mit übertragen wird.

10

Vorteile der Erfindung

Die vorliegende Erfindung hat den Vorteil, dass auf die bisher für jedes Peripherieelement erforderliche 15 Auswahlleitung zwischen dem Prozessorbaustein und den Peripherieelementen verzichtet werden kann, ohne eine Beeinträchtigung der Datenübertragung. Die Auswahlsignale zur Synchronisation und Adressierung der Peripherieelemente werden einfach über die Datenleitungen mit übertragen. Der 20 störende Verdrahtungsaufwand in einem Steuergerät und die Anzahl der Anschlüsse an dem Prozessorbaustein und an den Peripherieelementen wird entsprechend reduziert.

Zur Übertragung des Auswahlsignals zusätzlich zu dem 25 Datensignal über die Datenleitungen können verschiedene an sich aus dem Stand der Technik bekannte Verfahren eingesetzt werden. Die Übertragung des Auswahlsignals kann entweder zeitgleich zu der Übertragung des Datensignals oder zeitlich versetzt dazu erfolgen. Es ist denkbar, dass 30 sich die Datenübertragung aufgrund der Übertragung des Auswahlsignals über die Datenleitungen geringfügig verzögert. Die zu erwartende Verzögerung ist jedoch nur gering. Eine Verschlechterung der EMV-Eigenschaften des Prozessorbausteins tritt bei Anwendung des 35 erfindungsgemäßen Verfahrens ebenfalls nicht auf.

Vorteilhafterweise wird auf einer ersten Datenleitung das Datensignal und auf einer zweiten Datenleitung ein invertiertes Datensignal übertragen. Ebenso wird

5 vorgeschlagen, dass auf einer ersten Zeittaktleitung das Zeittaktsignal und auf einer zweiten Zeittaktleitung ein invertiertes Zeittaktsignal übertragen wird.

Gemäß einer vorteilhaften Weiterbildung der vorliegenden

10 Erfindung wird vorgeschlagen, dass zur Übertragung des Auswahlsignals eine Symmetrie der Übertragung des Datensignals verletzt wird. Durch diese kurzzeitige Symmetrie- oder Paritätsverletzung der Übertragung auf der Datenleitung kann das Auswahlsignal auf eine besonders 15 einfache aber dennoch zuverlässige Weise über die Datenleitungen übertragen werden.

Gemäß einer bevorzugten Ausführungsform der vorliegenden

15 Erfindung wird vorgeschlagen, dass eine Symmetrieverletzung zwischen zwei übertragenen Datenworten oder einer Gruppe von Datenworten zur Synchronisation des mindestens einen Peripherieelements verwendet wird.

20 Gemäß einer weiteren bevorzugten Ausführungsform wird vorgeschlagen, dass zwischen zwei definierten Symmetrieverletzungen mindestens ein vorgebares Bit übertragen und das mindestens eine vorgebbare Bit zur Adressierung des mindestens einen Peripherieelements verwendet wird.

25 30 Vorteilhafterweise wird der Adressraum für die Adressierung des mindestens einen Peripherieelements durch Variation des zeitlichen Abstands zwischen den Symmetrieverletzungen vorgegeben.

Als eine weitere Lösung der Aufgabe der vorliegenden Erfindung wird ausgehend von der Vorrichtung der eingangs genannten Art vorgeschlagen, dass die Vorrichtung das Zeittaktsignal über zwei Zeittaktleitungen zwischen dem

5 Prozessorbaustein und dem mindestens einen Peripherieelement, das Datensignal über zwei Datenleitungen zwischen dem Prozessorbaustein und dem mindestens einen Peripherieelement und das Auswahlsignal auf den Datenleitungen mit überträgt.

10 Gemäß einer vorteilhaften Weiterbildung der vorliegenden Erfindung wird vorgeschlagen, dass die Vorrichtung Mittel zur Ausführung des erfindungsgemäßen Verfahrens aufweist.

15 Gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung wird vorgeschlagen, dass die Vorrichtung als eine SPI (Serial Peripheral Interface)-Bus-Schnittstelle ausgebildet ist.

20 Als noch eine weitere Lösung der Aufgabe der vorliegenden Erfindung wird ausgehend von dem Prozessorbaustein der eingangs genannten Art vorgeschlagen, dass die Vorrichtung das Zeittaktsignal über zwei Zeittaktleitungen zwischen dem Prozessorbaustein und dem mindestens einen

25 Peripherieelement, das Datensignal über zwei Datenleitungen zwischen dem Prozessorbaustein und dem mindestens einen Peripherieelement und das Auswahlsignal auf den Datenleitungen mit überträgt.

30 Gemäß einer vorteilhaften Weiterbildung der vorliegenden Erfindung wird vorgeschlagen, dass die Vorrichtung Mittel zur Ausführung des erfindungsgemäßen Verfahrens aufweist.

35 Zeichnungen

Weitere Merkmale, Anwendungsmöglichkeiten und Vorteile der Erfindung ergeben sich aus der nachfolgenden Beschreibung von Ausführungsbeispielen der Erfindung, die in den

5 Zeichnung dargestellt sind. Dabei bilden alle beschriebenen oder dargestellten Merkmale für sich oder in beliebiger Kombination den Gegenstand der Erfindung, unabhängig von ihrer Zusammenfassung in den Patentansprüchen oder deren Rückbeziehung sowie unabhängig von ihrer Formulierung
10 beziehungsweise Darstellung in der Beschreibung beziehungsweise in den Zeichnungen. Es zeigen:

Figur 1 einen erfindungsgemäßen Prozessorbaustein gemäß einer bevorzugten Ausführungsform; und

15 Figur 2 Signalverläufe auf Zeittakteleitungen und Datenleitungen zwischen dem erfindungsgemäßen Prozessorbaustein und mehreren Peripherieelementen.

20 Beschreibung der Ausführungsbeispiele

In einem elektronischen Steuergerät, zum Beispiel einem
25 Motorsteuergerät, einem Getriebesteuergerät oder einem Bremssteuergerät in einem Kraftfahrzeug, kommen Prozessorbausteine zum Einsatz, die mit seriellen Schnittstellen ausgestattet sind, um mit Peripherieelementen Daten beziehungsweise Signale auszutauschen. In Figur 1 ist ein erfindungsgemäßer Prozessorbaustein in seiner Gesamtheit mit dem
30 Bezugszeichen 1 bezeichnet. Der Prozessorbaustein 1 umfasst ein Rechengerät 2, das beispielsweise als ein Mikroprozessor ausgebildet ist. Des weiteren umfasst der Prozessorbaustein 1 eine Vorrichtung 3 zur Realisierung der
35 Daten- beziehungsweise Signalübertragung zwischen dem

Prozessorbaustein 1 und an diesen angeschlossenen Peripheriegeräten 4, 5, 6, 7. Die Vorrichtung 3 ist beispielsweise als eine serielle Schnittstelle, insbesondere als eine SPI (Serial Peripheral Interface)-5 Bus-Schnittstelle ausgebildet. Die Peripherieelemente 4, 5, 6, 7 können beispielsweise als eine Überwachungsschaltung, insbesondere als ein Watchdog, als ein serielles EEPROM (Electrically Erasable and Programmable Read Only 10 Memory), als eine Stabilisierungsschaltung oder als ein 15 Endstufenschaltkreis, beispielsweise zur Einspritzung von Kraftstoff bei einer Brennkraftmaschine, ausgebildet sein.

Zur Datenübertragung zwischen dem Prozessorbaustein 1 und den Peripherieelementen 4, 5, 6, 7 sind vier Leitungen 15 vorgesehen, nämlich

- zwei Zeittaktleitung CL (Clock) und \overline{CL} (Clock invertiert) zur Taktübertragung, und
- zwei Datenleitungen DATA (Daten) und \overline{DATA} (Daten invertiert) zwischen dem Prozessorbaustein 1 und 20 den Peripherieelementen 4, 5, 6, 7.

Die Zeittaktleitungen CL und \overline{CL} werden auch als Clock-Leitungen bezeichnet. Die Datenleitungen DATA und \overline{DATA} können beispielsweise als ein Bus, insbesondere als ein 25 SPI-Bus realisiert sein. SPI-Funktionalitäten bezüglich der Peripherieelemente 4, 5, 6, 7 sind dann zum Beispiel Initialisierung, Watchdogkommunikation, Endstufendiagnose, Einlesen von Eingängen, Identifier, Schreiben und Lesen von Daten, etc.

30 Auf eine Auswahlleitung (sogenannte Chip-Select-Leitung), wie sei beim Stand der Technik zwischen dem Prozessorbaustein 1 und jedem der Peripherieelemente 4, 5, 6, 7 erforderlich ist, kann bei dem erfindungsgemäßen

Prozessorbaustein 1 verzichtet werden. Die Auswahlsignale zur Adressierung und Synchronisierung der Peripherieelemente 4, 5, 6, 7 werden stattdessen über die Datenleitungen DATA und \overline{DATA} übertragen.

5

Die Zeittaktsignale und Datensignale werden über die jeweils zwei Zeittaktleitungen CL und \overline{CL} und Datenleitungen DATA und \overline{DATA} als Differenz-Signale übertragen. Auf diese Weise kann insbesondere bei höheren Datenraten die Abstrahlung reduziert und die elektrromagnetische Verträglichkeit (EMV) verbessert werden.

10

In Figur 2 sind die Signalverläufe der Zeittaktsignale auf den Zeittaktleitungen CL und \overline{CL} und die Datensignale auf den Datenleitungen DATA und \overline{DATA} dargestellt. In dem dargestellten Ausführungsbeispiel werden die Datenleitungen DATA und \overline{DATA} im Gegentakt betrieben (normaler Differenzbetrieb). Für die Synchronisation und Adressierung der Peripherieelemente 4, 5, 6, 7 wird erfindungsgemäß die Symmetrie oder Parität der Übertragung auf den Datenleitungen DATA und \overline{DATA} kurzzeitig verletzt. Eine Symmetrie- oder Paritätsverletzung zwischen zwei übertragenen Datenworten oder einer Gruppe von Datenworten wird zur Synchronisation der Peripherieelemente 4, 5, 6, 7 verwendet. Durch Bits, die zwischen zwei definierten Symmetrie- oder Paritätsverletzungen übertragen werden, erfolgt eine Adressierung der einzelnen Peripherieelemente 4, 5, 6, 7.

15

20

25

30

Nach einem n-ten Datenwort sendet der Prozessorbaustein 1 (sogenannter Master) kurz für einen Takt auf beiden Datenleitungen DATA und \overline{DATA} eine Null (0) und erzeugt so eine Symmetrieverletzung, die als eine Disparität D

bezeichnet wird. Die Peripherieelemente 4, 5, 6, 7 als Busteilnehmer (sogenannte Slaves) erkennen damit das Ende des n-ten Datenwortes und interpretieren die nachfolgenden Daten (in dem dargestellten Ausführungsbeispiel zwei Bit) 5 zum Beispiel als eine Adresse für die Adressierung.

Eine weitere Paritätsverletzung D, in dem dargestellten Beispiel eine Eins (1), auf beiden Datenleitungen DATA und DATA signalisiert den Peripherieelementen 4, 5, 6, 7 das Ende der gesendeten Adresse und den Beginn des nächsten 10 n+1-ten Datenwortes. Das oder die Peripherieelemente 4, 5, 6, 7, welche die Adresse als Ihre eigene erkannt haben, können nun zum Beispiel das vorausgegangene, in dem Peripherieelement 4, 5, 6, 7 zwischengespeicherte Datenwort 15 übernehmen und verarbeiten, ähnlich wie es auch in einem klassischen System mit einer herkömmlichen Auswahlsignal (Chip-Select-Signal) erfolgt wäre.

Der Adressraum zwischen den beiden Disparitäten D kann zum 20 Beispiel abhängig von der Zahl der Peripherieelementen 4, 5, 6, 7 variabel sein. Bei bis zu vier Peripherieelementen 4, 5, 6, 7 sind, wie in dem dargestellte Beispiel, zwei Adressbits eingebettet zwischen den beiden zur Trennung von 25 Adresse und Daten erforderlichen Disparitäten D ausreichend, um alle Peripherieelemente 4, 5, 6, 7 getrennt ansprechen zu können. Allgemein ausgedrückt, muss die Adresse $\log_2(n)$ Bits umfassen, wobei n die Anzahl der Peripherieelemente 4, 5, 6, 7 darstellt.

30 Die Priorisierung oder Verwendung von Sammeladressen ist bei der vorliegenden Erfindung ebenfalls möglich. Im einfachsten Fall folgen die beiden Disparitäten D ohne dazwischenliegende Adresse unmittelbar aufeinander. Damit könnten zum Beispiel alle Peripherieelemente 4, 5, 6, 7 mit 35 höchster Priorität angesprochen werden. Wird in dem

Beispiel nur ein Bit zwischen den Disparitäten D gesendet, kann eine Gruppe von zwei Peripherieelementen 4, 5, 6, 7 gleichzeitig adressiert werden. Bei einer Punkt-zu-Punkt Verbindung reicht eine Disparität D zur Synchronisation.

5 13.08.2002

Robert Bosch GmbH, 70442 Stuttgart

10 Ansprüche

1. Verfahren zur seriellen Übertragung von Daten zwischen einem Prozessorbaustein (1), insbesondere eines Steuergeräts eines Kraftfahrzeugs, und mindestens einem Peripherieelement (4, 5, 6, 7) mittels eines Zeittaktsignals, eines Datensignals und eines Auswahlsignals, **dadurch gekennzeichnet**, dass das

15 Zeittaktsignal über zwei Zeittaktleitungen (CL, \overline{CL}) zwischen dem Prozessorbaustein (1) und dem mindestens einen Peripherieelement (4, 5, 6, 7), das Datensignal über zwei Datenleitungen (DATA, \overline{DATA}) zwischen dem Prozessorbaustein (1) und dem mindestens einen Peripherieelement (4, 5, 6, 7) 20 und das Auswahlsignal auf den Datenleitungen (DATA, \overline{DATA}) mit übertragen wird.

25 2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass auf einer ersten Datenleitung (DATA) das Datensignal und auf einer zweiten Datenleitung (\overline{DATA}) ein invertiertes Datensignal übertragen wird.

30 3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass auf einer ersten Zeittaktleitung das Zeittaktsignal (CL) und auf einer zweiten Zeittaktleitung ein invertiertes Zeittaktsignal (\overline{CL}) übertragen wird.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass zur Übertragung des Auswahlsignals eine Symmetrie der Übertragung des Datensignals verletzt wird.

5 5. Verfahren nach Anspruch 4, dadurch gekennzeichnet, dass eine Symmetrieverletzung (D) zwischen zwei übertragenen Datenworten oder einer Gruppe von Datenworten zur Synchronisation des mindestens einen Peripherieelements (4, 5, 6, 7) verwendet wird.

6. Verfahren nach Anspruch 4 oder 5, dadurch gekennzeichnet, dass zwischen zwei definierten Symmetrieverletzungen (D) mindestens ein vorgebares Bit (Adr) übertragen und das mindestens eine vorgebbare Bit (Adr) zur Adressierung des mindestens einen

15 Peripherieelements (4, 5, 6, 7) verwendet wird.

7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, dass der Adressraum für die Adressierung des mindestens einen Peripherieelements (4, 5, 6, 7) durch Variation des zeitlichen Abstands zwischen den Symmetrieverletzungen (D) 20 vorgegeben wird.

8. Vorrichtung (3) für einen Prozessorbaustein (1), insbesondere eines Steuergeräts eines Kraftfahrzeugs, zur seriellen Übertragung von Daten zwischen dem Prozessorbaustein (1) und mindestens einem 25 Peripherieelement (4, 5, 6, 7) mittels eines Zeittaktsignals, eines Datensignals und eines Auswahlsignals, **dadurch gekennzeichnet**, dass die Vorrichtung (3) das Zeittaktsignal über zwei Zeittakteitungen (CL, \overline{CL}) zwischen dem Prozessorbaustein 30 (1) und dem mindestens einen Peripherieelement (4, 5, 6, 7), das Datensignal über zwei Datenleitungen (DATA, \overline{DATA}) zwischen dem Prozessorbaustein (1) und dem mindestens einen

Peripherieelement (4, 5, 6, 7) und das Auswahlsignal auf den Datenleitungen (DATA, \overline{DATA}) mit überträgt.

9. Vorrichtung (3) nach Anspruch 8, dadurch gekennzeichnet, dass die Vorrichtung (3) Mittel zur Ausführung eines Verfahrens nach einem der Ansprüche 2 bis 7 aufweist.
10. Vorrichtung (3) nach Anspruch 8 oder 9, dadurch gekennzeichnet, dass die Vorrichtung (3) als eine SPI (Serial Peripheral Interface)-Bus-Schnittstelle ausgebildet ist.
11. Prozessorbaustein (1), insbesondere eines Steuergerät eines Kraftfahrzeugs, mit einer Vorrichtung (3) zur seriellen Übertragung von Daten zwischen dem Prozessorbaustein (1) und mindestens einem Peripherieelement (4, 5, 6, 7) mittels eines Zeittaktsignals, eines Datensignals und eines Auswahlsignals, **dadurch gekennzeichnet**, dass die Vorrichtung (3) das Zeittaktsignal über zwei Zeittakteleitungen (CL, \overline{CL}) zwischen dem Prozessorbaustein (1) und dem mindestens einen Peripherieelement (4, 5, 6, 7), das Datensignal über zwei Datenleitungen (DATA, \overline{DATA}) zwischen dem Prozessorbaustein (1) und dem mindestens einen Peripherieelement (4, 5, 6, 7) und das Auswahlsignal auf den Datenleitungen (DATA, \overline{DATA}) mit überträgt.
12. Prozessorbaustein (1) nach Anspruch 11, dadurch gekennzeichnet, dass die Vorrichtung (3) Mittel zur Ausführung eines Verfahrens nach einem der Ansprüche 2 bis 7 aufweist.

5 13.08.2002

Robert Bosch GmbH, 70442 Stuttgart

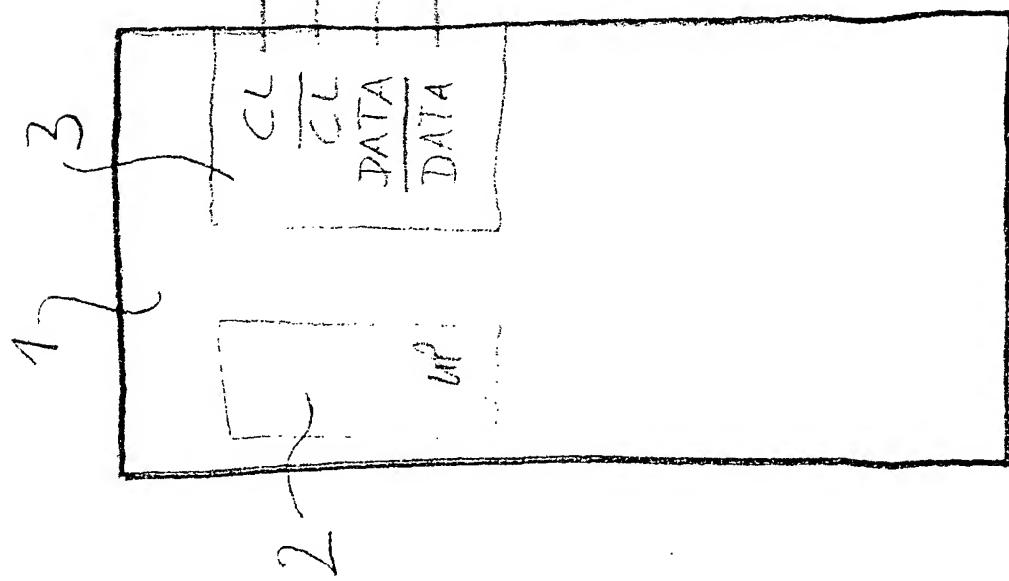
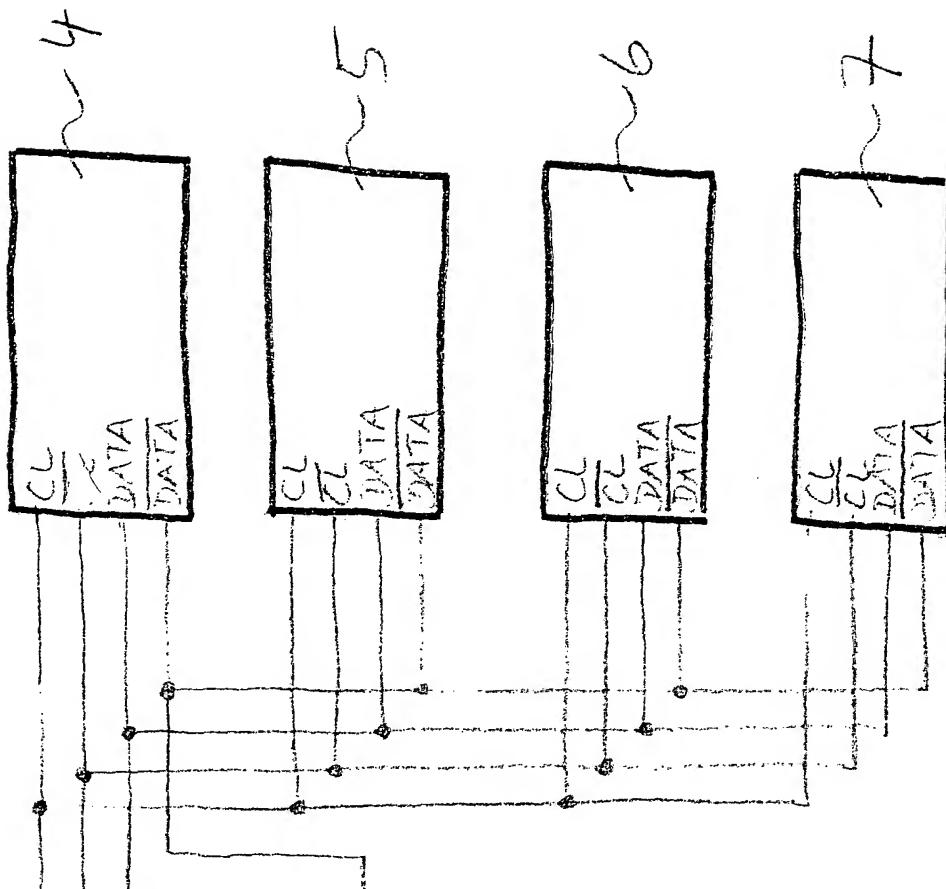
10 Verfahren und Vorrichtung zur seriellen Übertragung von
i Daten von einem Prozessorbaustein an mindestens ein
i Peripherieelement

15 Zusammenfassung

Die Erfindung betrifft ein Verfahren und eine Vorrichtung (3) zur seriellen Übertragung von Daten zwischen einem Prozessorbaustein (1), insbesondere eines Steuergeräts 20 eines Kraftfahrzeugs, und mindestens einem Peripherieelement (4, 5, 6, 7) mittels eines Zeittaktsignals, eines Datensignals und eines Auswahlsignals. Um bei einer seriellen Datenübertragung zwischen einem Prozessorbaustein (1) und dem mindestens 25 einen Peripherieelement (4, 5, 6, 7) mit hoher Datenrate die Anzahl der notwendigen Leitungen zu reduzieren, wird vorgeschlagen, dass das Zeittaktsignal über zwei Zeittaktleitungen (CL, \overline{CL}) zwischen dem Prozessorbaustein (1) und dem mindestens einen Peripherieelement (4, 5, 6, 7), das Datensignal über zwei Datenleitungen (DATA, \overline{DATA}) zwischen dem Prozessorbaustein (1) und dem mindestens einen Peripherieelement (4, 5, 6, 7) und das Auswahlsignal auf 30 den Datenleitungen (DATA, \overline{DATA}) mit übertragen wird. (Figur 1)

72

Fig. 1



R.302906

2/2

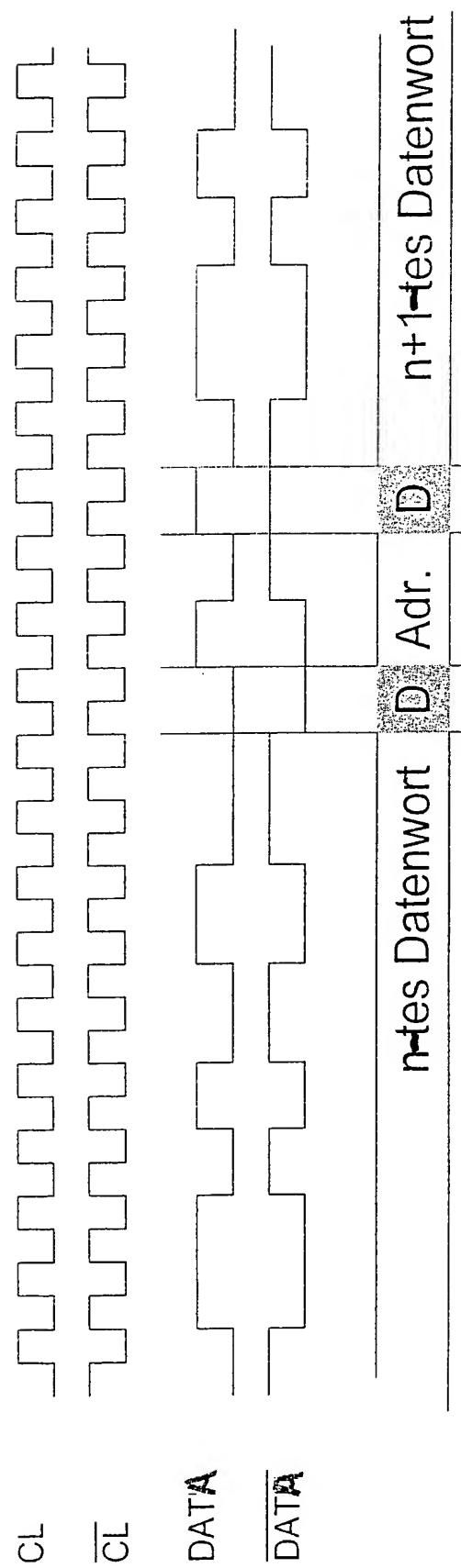


Fig.2

R.302906